WillametteからTejasまでの進化(Tejasは推定)

	Willamette	Northwood	Northwood(HT)	Prescott	Tejas
マイクロアーキテクチャの改良	Hyper-Threading SSE2 Rapid Execution Engine トレースキャッシュ NetBurstアーキテクチャ	Hyper-Threading Faster FP Assists Denormals are Zero (DAZ) WC Buffer Eviction 16-byte MOB Split for Store Forwarding Willametteの機能	Hyper-Threading SSE2コンバージョンの高速化 L1スレッドIDビット L1キャッシュのアライジングの低減 qword/dwordストア、アンアラインドdword/word/byteロードSF Northwoodの機能 Willametteの機能	新命令の追加 Prescott New Instructions(PNI) Hyper-Threadingの改良 LaGrandeサポート プリフェッチと分岐予測の改良 アドバンスド電力制御 imulレイテンシの改良 WCバッファの追加 HT版の拡張機能 Northwoodの機能 Willametteの機能	拡張版 Hyper-Threading 新命令の追加 Tejas New Instructions(TNI) Prescottの機能 HT版の拡張機能 Northwoodの機能 Willametteの機能
ベーシックハードウェアフィーチャ	12K uOPs トレースキャッシュ 8KB L1データキャッシュ 256KB L2キャッシュ FSB 400MHz PGA423/mPGA478パッケージ 0.18μmプロセス	12K uOPs トレースキャッシュ 8KB L1データキャッシュ 512KB L2キャッシュ FSB 400/533MHz mPGA478パッケージ 0.13μmプロセス	12K uOPs トレースキャッシュ 8KB L1データキャッシュ 512KB L2キャッシュ FSB 533/800MHz mPGA478パッケージ 0.13μmプロセス	? 16KB L1データキャッシュ 1MB L2キャッシュ FSB 800MHz mPGA478/LGA755パッケージ 90nmプロセス	16K uOPs トレースキャッシュ 24KB L1データキャッシュ 1MB L2キャッシュ FSB 800/1066MHz LGA755パッケージのみ 90nmプロセス