## SilverthorneのCステイト制御

	C0 High Frequency Mode	C0 Low Frequency Mode	C1/C2	C3(Deep Sleep)	C4(Deeper Sleep)	C6(Deep Power Down)
	CPU Core	CPU Core Cache	CPU Core Cache	CPU Core Cache	CPUコアのステイトが 10.5KBのC6 SRAMに 保存される  CPU Core  Cache	CPUコアステイトを保存した 10.5KBのC6 SRAMだけに、I/O レベルの電圧が供給される  CPU Core  Cache  VccP
Core Voltage						below core retention level
Core Clock			off	off	off	off
PLL	7			off	off	off
L1 Cache				flushed	flushed	off
L2 Cache					partial flushed	off
Wakeup time	active	active				
Power						
Trade Off		(	High Idle Power  Quick wake up			Low Idle Power  Long Latency